

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

☐ [Generate Collection](#)

L10: Entry 9 of 10

File: JPAB

Aug 12, 1983

PUB-NO: JP358135471A

DOCUMENT-IDENTIFIER: JP 58135471 A

TITLE: FAULT DETECTING METHOD OF PLURAL LOAD DRIVING CIRCUIT

PUBN-DATE: August 12, 1983

INVENTOR-INFORMATION:

NAME

COUNTRY

FUNABASHI, SOKICHI

WATANABE, KAZUO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

KONISHIROKU PHOTO IND CO LTD

APPL-NO: JP57017755

APPL-DATE: February 5, 1982

US-CL-CURRENT: 324/537

INT-CL (IPC): G01R 31/02

ABSTRACT:

PURPOSE: To detect accurately a fault of a plural loads driving circuit, by connecting a resistor to a common power supply line of loads, and discriminating the fault when the current value flowing to the resistor exceeds a normal range of the sequence which is under execution.

CONSTITUTION: A power supply 8 is connected in common to loads 51~53 via a resistor 1, and load 51~53 are grounded via transistors TR61~TR63. In such a way, only the loads 51, for example, is driven by a CPU4. In this case, only the TR61 is energized. Then a voltage drop proportional to the load current of the load 51 is produced to the resistor 1. This voltage drop is detected by a differential amplifier 2 and amplified to be applied to the CPU4 via an A/D converter 3. The CPU4 reads in this value and then reads out of the abnormal reference value of the load 51 that is stored previously in a memory 7 to compare these values with each other. When the output of the converter 3 exceeds the above-mentioned value, the TR61 is turned off to discontinue the conduction to the load 51. At the same time, a fault detecting signal is delivered outside. In such a way, the faults can be accurately detected for plural load driving circuits.

COPYRIGHT: (C)1983,JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—135471

⑤ Int. Cl.³
G 01 R 31/02

識別記号

庁内整理番号
7807—2G

⑬ 公開 昭和58年(1983)8月12日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 複数負荷駆動回路の異常検出方法

⑯ 発明者 渡辺一夫

⑰ 特 願 昭57—17755

⑱ 出 願 昭57(1982)2月5日

⑲ 発明者 船橋壮吉

八王子市石川町2970番地小西六
写真工業株式会社内

八王子市石川町2970番地小西六
写真工業株式会社内

⑳ 出 願 人 小西六写真工業株式会社

東京都新宿区西新宿1丁目26番
2号

㉑ 代理人 弁理士 井島藤治

明 細 書

1. 発明の名称

複数負荷駆動回路の異常検出方法

2. 特許請求の範囲

同一電源に接続された複数の電気的負荷を所定のシーケンスで駆動する複数負荷駆動回路において、前記複数の負荷の共通の電源線に抵抗器を挿入接続し、該抵抗器に流れる電流値が、実行中のシーケンスでの正常範囲を超えるか否かを判別し、越えた場合に、異常と判断することを特徴とする複数負荷駆動回路の異常検出方法。

3. 発明の詳細な説明

本発明は、同一電源に接続された複数の電気的負荷を所定のシーケンスで駆動する複数負荷駆動回路における異常検出方法に関する。

従来の複数負荷駆動回路においては、複数の負荷が接続された電源の出力電流を監視し、これが一定値を超えたとき、異常であると判断し、電源の出力路をヒューズ、ブレーカ等により遮

断したり、あるいは、各負荷によって異常とされる電流値に大きな違いがある場合にあっては、各負荷ごとに異常電流検知回路を設けて、負荷に流れる電流を監視し、異常を検出すると、その電流供給を遮断していた。

しかしながら、前者の異常検出方法では、各負荷ごとの負荷電流監視をきめ細かく行えず、又、後者の異常検出方法では、多数の異常電流検知回路を必要とし、構成が複雑となり全体として高価になるという問題があった。

本発明は、このような問題に鑑みてなされたもので、その目的は、構成を複雑にすることなく、きめ細かな異常検出を行える異常検出方法を提供することにある。

この目的を達成する本発明の異常検出方法は、複数の負荷の共通の電源線に抵抗器を挿入接続し、該抵抗器に流れる電流値が、実行中のシーケンスでの正常範囲を超えるか否かを判別し、越えた場合に、異常と判断することを特徴とするものである。

以下、図面を参照し本発明を詳細に説明する。

図は本発明方法を実施した複数負荷駆動回路の一実施例を示す要部構成図である。図において、1は抵抗器、2は差動増幅器、3はアナログ・デジタル変換器（以下、AD変換器と略す）、4はマイクロコンピュータの中央処理装置等からなる制御部（以下、CPUと略す）、5₁、5₂、5₃、…は電気的負荷、6₁、6₂、6₃、…はスイッチング素子としてのトランジスタ、7はメモリ、8は電源、9₁、9₂、9₃、…はバッファである。電源8は、抵抗器1を介して各負荷5₁、5₂、5₃、…に共通に接続され、又、各負荷5₁、5₂、5₃は、トランジスタ6₁、6₂、6₃を介して、接地されている。抵抗器1に生ずる電圧降下は、差動増幅器2で検出され、そのアナログ電圧は、AD変換器3においてデジタル量に変換される。CPU4は、AD変換器3の出力を読み取り、メモリ7に予め記憶された異常基準値と比較し、その基準値を越えた場合には、異常検知

信号を出力するものである。この、異常検知信号は、図示しない警報装置に与えられ、そこでランプ表示等により、異常表示若しくは警報が発せられるようになっている。尚、CPU4は、所定のシーケンスでもって、トランジスタ6₁、6₂、6₃、…をON・OFFし、負荷5₁、5₂、5₃、…を駆動することを主たる任務とするもので、この駆動のための出力信号は、それぞれバッファ9₁、9₂、9₃、…を介して、トランジスタ6₁、6₂、6₃、…の各ベースに供給されている。

このような構成の複数負荷駆動回路における異常検出動作を次に説明する。先ず、CPU4により負荷の1つだけが駆動されている場合について述べる。今、トランジスタ6₁のみが付勢されON状態にあるとすると、負荷5₁が通電状態にあり、抵抗器1には負荷5₁の負荷電流に比例した電圧降下が生じ、この電圧が差動増幅器2で検出され、適宜に増幅された後、AD変換器3でデジタル信号に変換される。C

PU4は、この値（負荷電流に対応する値）を読み込むと共に、メモリ7に予め記憶された負荷5₁の異常基準値を読み出し、両者の大小を比較する。AD変換器3の出力が前記基準値を越えている場合は、負荷5₁への通電を中止するため、トランジスタ6₁をOFF状態にする。又、これと同時に、外部に異常検知信号を出力し、異常を表示・警報する。

他の負荷が駆動されている場合であっても、上述と同様な動作を行って、該当負荷の異常を検出する。尚、この異常検出は各負荷が単独で駆動されているに限らず、同時に2つ以上の負荷が駆動されている場合についても行われる。この場合は、AD変換器3の出力と、該当負荷の各基準値の和とを比較することにより、異常を検出する。

次に、具体的数値例によって異常検出方法を説明する。抵抗器1の抵抗値を0.1Ω、差動増幅器2の増幅率を19.6倍とし、又、AD変換器3は入力5Vのとき8ビットで“FF”

(16進表記)を出力するものとする(従って、抵抗器1に2.55A流れたとき、AD変換器3の入力は5VとなりCPU4には“FF”が入力される)。又、異常基準値を、負荷5₁については、0.8A(16進数で“50”)、負荷5₂については1.2A(16進数で“78”)とする。尚、正常時の電流は、負荷5₁が0.5A、負荷5₂が0.8Aであるものとする。

このような条件の下で、負荷電流に対するCPU4の処理の関係を示せば次表の通りである。

場合	負荷5 ₁	負荷5 ₂	負荷電流換算値	大小	異常基準値	CPUの処理
1	0.5A	—	“32”	<	“50”	—
2	0.9A*	—	“5A”	>	“50”	負荷5 ₁ OFF
3	—	0.8A	“50”	<	“78”	—
4	—	1.5A*	“96”	>	“78”	負荷5 ₂ OFF
5	0.5A	0.8A	“82”	<	“C8”	—
6	0.5A	1.5A*	“D2”	>	“C8”	負荷5 ₁ 、5 ₂ OFF

表中、*印は異常を示す。

場合5及び6のように、2つの負荷が通電状態にある場合は、異常基準値としては“50”

と“78”の和“C8”を採用して比較することとなる。

尚、電源出力電圧が定電圧化されていない場合は、負荷電圧の変動を測定し、異常基準値を補正することにより、異常基準値と通常値とのマージンを小さくし、異常検出を精密に行うことができる。

又、抵抗器に流れる電流と異常基準値との比較はCPUで行ってもよいが、CPU以外で行ってもよい。この場合は、例えばAD変換器は除去し、CPUに読み出されたメモリ内の基準値をディジタル・アナログ変換器を介してアナログ信号に変換し、これをアナログ比較器において差動増幅器の出力と比較するように構成する。

更に、上記実施例では負荷電流の増加についての異常のみを検出する場合を示したが、負荷電流の減少についての異常についても同様に検出できる。

又、前述の異常検知のための抵抗は、一つの

機器中一つに収めるものではなく、各々駆動負荷をブロックに分け、最速の異常基準値をそれぞれに設定してもよい。

以上説明したように、本発明方法によれば、構成を複雑にすることなく、きめ細かな異常検出を行うことができる。

更に、これらの複数負荷駆動回路を有する種々の機器において、複写装置等における非複写動作時の如く、非動作時に本発明の複数負荷駆動回路異常検出方法を用いることができることは勿論である。

4. 図面の簡単な説明

図は本発明方法を実施した複数負荷駆動回路の一実施例を示す要部構成図である。

- | | |
|--|---------|
| 1—抵抗器 | 2—差動増幅器 |
| 3—AD変換器 | 4—CPU |
| 5 ₁ 、5 ₂ 、5 ₃ —電気的負荷 | |
| 6 ₁ 、6 ₂ 、6 ₃ —トランジスタ | |
| 7—メモリ | 8—電源 |
| 9 ₁ 、9 ₂ 、9 ₃ —バッファ | |

